

(11)Publication number : 05-022614
(43)Date of publication of application : 29.01.1993

BEST AVAILABLE COPY

3

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-22614

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/44		2109-5C		
G 0 6 F 13/00	3 5 1 G	7368-5B		
H 0 4 L 9/00				
9/10				
	7117-5K		H 0 4 L 9/00	Z
			審査請求 未請求 請求項の数 2(全 4 頁) 最終頁に続く	

(21)出願番号 特願平3-173718

(22)出願日 平成3年(1991)7月15日

(71)出願人 000187736

松下電送株式会社

東京都目黒区下目黒2丁目3番8号

(72)発明者 野口 修

東京都目黒区下目黒2丁目3番8号 松下電送株式会社内

(72)発明者 野間 伸彦

東京都目黒区下目黒2丁目3番8号 松下電送株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

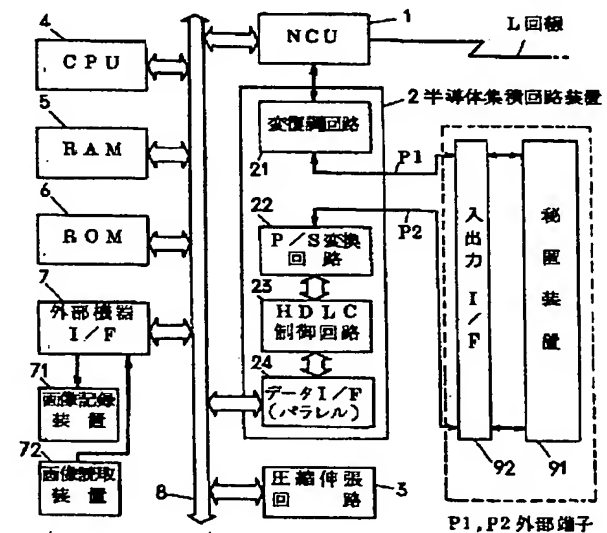
(54)【発明の名称】 画像通信装置

(57)【要約】

【目的】 装置を複雑かつ高コスト化することなく、ファクシミリ装置などに秘匿装置の接続を可能にする画像通信装置を提供する。

【構成】 変復調回路と、P/S変換回路と、HDLC制御回路と、パラレル・データI/Fを半導体集積回路装置として集積形成するとともに、上記変復調回路と上記P/S変換回路の各シリアル入出力を互いに切り離した状態でそれぞれに上記半導体集積回路装置の外部端子へ導出させる。

【効果】 半導体集積回路装置内のP/S変換回路とHDLC制御回路を秘匿装置の接続に利用できるようになる。これにより、上記目的が達成される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 シリアルデータから回線信号への変調および回線信号からシリアルデータへの復調を行なう変復調回路と、この変復調回路を介して送受信されるシリアルデータをパラレルデータに変換するパラレル／シリアル変換回路と、このパラレル／シリアル変換回路に入出力されるパラレルデータに対してHDL Cフレームによる信号処理を行なうHDL C制御回路と、このHDL C制御回路を外部のバスラインに接続するパラレル・データ・インターフェイスとが半導体集積回路装置として集積形成されるとともに、上記変復調回路と上記パラレル／シリアル変換回路の各シリアル入出力が互いに切り離し可能な状態でそれぞれに上記半導体集積回路装置の外部端子へ導出されていることを特徴とする画像通信装置。

【請求項2】 パラレル／シリアル変換回路に入出力されるパラレルデータに対してHDL Cフレームによるファクシミリ伝送制御を行なうHDL C制御回路と、このHDL C制御回路を外部のバスラインに接続するパラレル・データ・インターフェイスと、変復調回路とパラレル／シリアル変換回路との間でやり取りされるシリアルデータに対して秘匿処理を行なう秘匿装置とを備えた請求項1記載の画像通信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ファクシミリ装置などで使用されるモデムおよびその周辺回路が集積形成された半導体集積回路を備えた画像通信装置に関する。

【0002】

【従来の技術】 従来のこの種の装置は、図2に示すように、シリアルデータから回線信号への変調および回線信号からシリアルデータへの復調を行なう変復調回路21と、上記変復調回路21を介して送受信されるシリアルデータをパラレルデータに変換するP/S（パラレル／シリアル）変換回路22と、このP/S変換回路に入出力されるパラレルデータに対してHDL Cフレームによる信号処理を行なうHDL C制御回路23と、このHDL C制御回路23を外部のバスライン8に接続するパラレル・データ I/F（インターフェイス）24とが半導体集積回路装置2として集積形成され、この半導体集積回路装置2を、NCU（回線制御ユニット）1、CPU（中央制御装置）4、RAM5、ROM6、画像記録装置71および画像読取装置72が接続される外部機器 I/F7とともに、共通のバスライン8に接続してファクシミリ装置の主要部分を構成することが行なわれていた（たとえば、特開昭59-221167号公報を参照）。

【0003】 さらに、図2に示したファクシミリ装置では、秘匿装置91によって、回線Lから送信および受信されるファクシミリ信号の暗号化および解読を行なえる

ようにしてある。この秘匿装置91を接続するために、上述した構成に加えて、シリアル入出力 I/F92、P/S変換回路93、HDL C制御回路94が別途設けられている。

【0004】

【発明が解決しようとする課題】 しかし、かかる構成によれば、秘匿装置を接続するために回路数が多くなって、装置が複雑かつ高コスト化するという問題があった。

【0005】 上述の問題は以下の理由で生じる。すなわち、秘匿装置91は、暗号解読したシリアルデータが所定のHDL Cフレームとなるようにするために、単独で使用することはできず、その使用に際してはP/S変換回路93とHDL C制御回路94が別途必要になる。このため、秘匿装置91が接続可能なファクシミリ装置は、どうしても複雑かつ高コストにならざるを得なかった。

【0006】 本発明は、上述した課題に鑑みてなされたもので、装置を複雑かつ高コスト化することなく、秘匿装置の接続を可能にする画像通信装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は上述の課題を解決するため、シリアルデータと回線信号との間の変調および復調を行なう変復調回路と、上記変復調回路を介して送受信されるシリアルデータをパラレルデータに変換するP/S変換回路と、このP/S変換回路に入出力されるパラレルデータに対してHDL Cフレームによる信号処理を行なうHDL C制御回路と、このHDL C制御回路を外部のバスラインに接続するパラレル・データ I/Fを半導体集積回路装置として集積形成するとともに、上記変復調回路と上記P/S変換回路の各シリアル入出力を互いに切り離した状態でそれぞれに上記半導体集積回路装置の外部端子へ導出させる、という構成を備えたものである。

【0008】

【作用】 本発明は、上述の構成によって、半導体集積回路装置内のP/S変換回路とHDL C制御回路を秘匿装置の接続に利用できるようになるため、装置を複雑かつ高コスト化することなく、ファクシミリ装置などに秘匿装置を接続することが可能となる。

【0009】

【実施例】 以下、本発明の実施例を図を参照しながら説明する。

【0010】 なお、図において、同一符号は同一または相当部分を示すものとする。図1は本発明の一実施例による半導体集積回路装置およびこの半導体集積回路装置を用いたファクシミリ装置の概略構成を示すものであって、1は回線Lに接続されるNCU（回線制御ユニット）、2はファクシミリ信号の伝送制御を行なうための

主要な回路が集積形成された半導体集積回路装置、3はデータの圧縮伸張回路、4はマイクロ回路化された汎用制御装置いわゆるマイクロ・コンピュータを用いたCPU（中央制御装置）、5は画情報などの可変データを記憶するRAM、6はシステム・プログラムなどの固定データを記憶したROM、7は画像記録装置71および画像読取装置（スキャナ）72が接続する外部機器I/F、8は上述した各部を互いに連結するためバスライン、91は秘匿装置、92は秘匿装置91のシリアル入出力I/Fである。

【0011】ここで、上記半導体集積回路装置2は、シリアルデータから回線信号への変調および回線信号からシリアルデータへの復調を行なう変復調回路21と、この変復調回路21を介して送受信されるシリアルデータをパラレルデータに変換するP/S変換回路22と、このP/S変換回路22に入出力されるパラレルデータに対してHDL Cフレームによる信号処理を行なうHDL C制御回路23と、このHDL C制御回路23を外部のバスライン8に接続するパラレル・データ・I/F（インターフェイス）24が同一の半導体基板上に集積形成されている。これとともに、上記変復調回路21と上記P/S変換回路22の各シリアル入出力が互いに切り離された状態で、それぞれに上記半導体集積回路装置2の外部端子P1、P2へ導出されている。

【0012】上記外部端子P1、P2は、シリアル入出力I/F92を介して秘匿装置91に接続されるようになっている。秘匿装置91は、上記半導体集積回路装置2内の変復調回路21とP/S変換回路22との間でやり取りされるシリアルデータに対して秘匿処理を行なう。秘匿装置91を動作させない場合の上記外部端子P1、P2の間は、秘匿装置91を介して互いに直結（スルー状態）されるようになっている。

【0013】以上のように構成された半導体集積回路装置およびファクシミリ装置について、以下その動作を説明する。

【0014】まず、秘匿装置91が非動作状態にある場合について説明する。この場合、半導体集積回路装置2内の変復調回路21とP/S変換回路22は直接シリアルデータのやり取りを行なう。

【0015】すなわち、受信時には、回線Lからの受信画情報が半導体集積回路装置2内の回路21、22、23、24によって受信処理された後、バスライン8を介してデータ圧縮伸張回路3へ送られ、そこで元の画情報に復元された後、画像記録装置71で記録紙に印刷記録される。

【0016】送信時には、画像読取装置72からの読取画情報がデータ圧縮伸張回路3で圧縮処理された後、半導体集積回路装置2内の回路24、23、22、21によって送信処理されて回線Lへ送出される。

【0017】次に、秘匿装置91が動作状態にある場合

について説明する。この場合、半導体集積回路装置2内の変復調回路21とP/S変換回路22は、外部端子P1、P2を介して接続される秘匿装置91を介して間接的にデータのやり取りを行なう。

【0018】すなわち、受信時には、半導体集積回路装置2内の変復調回路21によって受信信号から復調されたシリアルデータが、外部端子P1を介して秘匿装置91に入力され、そこで暗号解読処理された後、外部端子P2から半導体集積回路装置2内に戻される。半導体集積回路装置2内に戻された解読データは、P/S変換回路22でパラレルデータに変換され、HDL C制御回路23でフレーム処理された後、パラレル・データI/F24から外部バスライン8を介してデータ圧縮伸張回路3へ送られ、そこで記録のために伸張処理される。

【0019】送信時には、半導体集積回路装置2内のP/S変換回路22によってシリアルデータに変換されたHDL Cフレーム信号が、外部端子P2を介して秘匿装置91に入力され、そこで暗号化処理された後、外部端子P1を介して半導体集積回路装置2内に戻される。半導体集積回路装置2内に戻された信号は、変復調回路21によって回線信号に変調された後、回線Lへ送出される。

【0020】以上のようにして、半導体集積回路装置2内のP/S変換回路22とHDL C制御回路23がファクシミリ信号の送受信処理と秘匿装置2の接続処理の両方に利用される。これにより、装置を複雑かつ高コスト化することなく、ファクシミリ装置などに秘匿装置を接続して使用することができる。

【0021】

【発明の効果】以上の説明から明らかなように、本発明は、シリアルデータと回線信号との間の変調および復調を行なう変復調回路と、上記変復調回路を介して送受信されるシリアルデータをパラレルデータに変換するP/S変換回路と、このP/S変換回路に入出力されるパラレルデータに対してHDL Cフレームによる信号処理を行なうHDL C制御回路と、このHDL C制御回路を外部のバスラインに接続するパラレル・データI/Fを半導体集積回路装置として集積形成するとともに、上記変復調回路と上記P/S変換回路の各シリアル入出力を互いに切り離した状態でそれぞれに上記半導体集積回路装置の外部端子へ導出させることによって、半導体集積回路装置内のP/S変換回路とHDL C制御回路を秘匿装置の接続にも利用できるようになるため、装置を複雑かつ高コスト化することなく、ファクシミリ装置などに秘匿装置を接続して使用することが可能になる、という効果を有するものである。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体集積回路装置およびそれを用いたファクシミリ装置の概略構成図

【図2】従来の半導体集積回路装置およびそれを用いた

ファクシミリ装置の概略構成図

【符号の説明】

L 回線

1 NCU (回線制御ユニット)

2 半導体集積回路装置

21 変復調回路

22 P/S (パラレル/シリアル) 変換回路

23 HDLC制御回路

24 パラレルデータ I/F

P1, P2 外部端子 P1, P2

3 データ圧縮伸張回路

4 CPU (中央制御装置)

5 RAM

6 ROM

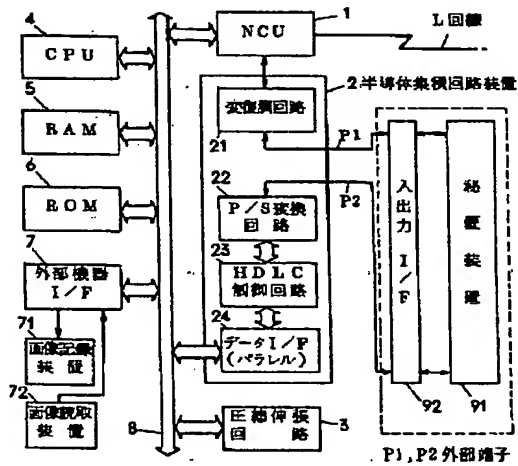
7 外部機器 I/F (インターフェイス)

8 バスライン

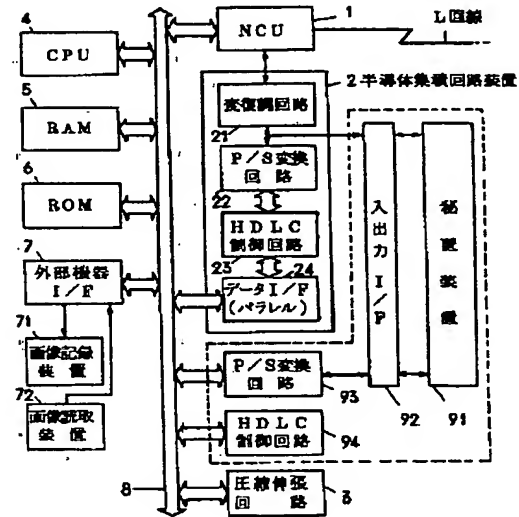
91 秘匿装置

92 シリアル入出力 I/F

【図1】



【図2】



フロントページの続き

(51)Int.Cl.⁵

H04L 9/12

H04N 1/00

1/32

識別記号

庁内整理番号

F I

技術表示箇所

107 Z 4226-5C

Z 2109-5C